

Национальный Исследовательский Ядерный Университет «МИФИ»

Лабораторная работа №5  
“Проектирование многофункциональных регистров”  
по дисциплине “Электротехника, электроника, схемотехника”

Работу выполнил  
Студент группы Б23-503  
Литвинов Владислав

Логин: B23\_503\_09  
Пароль: AJ4zI40o

Москва — 2025, осень

### Кодирование микроопераций регистра

| CLR | Y1 | Y0 | Микрооперация                |
|-----|----|----|------------------------------|
| 0   | 0  | 0  | Хранение при наличии СИ      |
| 0   | 0  | 1  | SLA на 1 разряд по входу C1  |
| 0   | 1  | 0  | SHR на 2 разряда по входу C2 |
| 0   | 1  | 1  | загрузка по входу C2         |
| 1   | X  | X  | Установка в 0 по входу C1    |

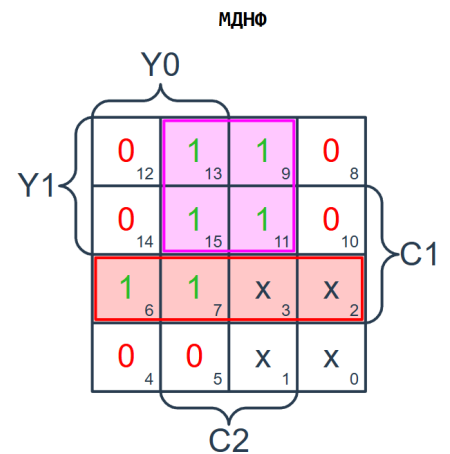
### Функция возбуждения входа D триггера

| Y1 | Y0 | Q <sub>i-1</sub> | Q <sub>i+2</sub> | D <sub>i</sub> | Q <sub>i</sub> | f <sub>i</sub> |
|----|----|------------------|------------------|----------------|----------------|----------------|
| 0  | 0  | X                | X                | X              | 0              | 0              |
| 0  | 0  | X                | X                | X              | 1              | 1              |
| 0  | 1  | 0                | X                | X              | X              | 0              |
| 0  | 1  | 1                | X                | X              | X              | 1              |
| 1  | 0  | X                | 0                | X              | X              | 0              |
| 1  | 0  | X                | 1                | X              | X              | 1              |
| 1  | 1  | X                | X                | 0              | X              | 0              |
| 1  | 1  | X                | X                | 1              | X              | 1              |

$$f_i = \overline{N}Y_1 \overline{N}Y_2 Q_i + \overline{N}Y_1 Y_2 Q_{i-1} + Y_1 \overline{N}Y_2 Q_{i+2} + Y_1 Y_2 D_i$$

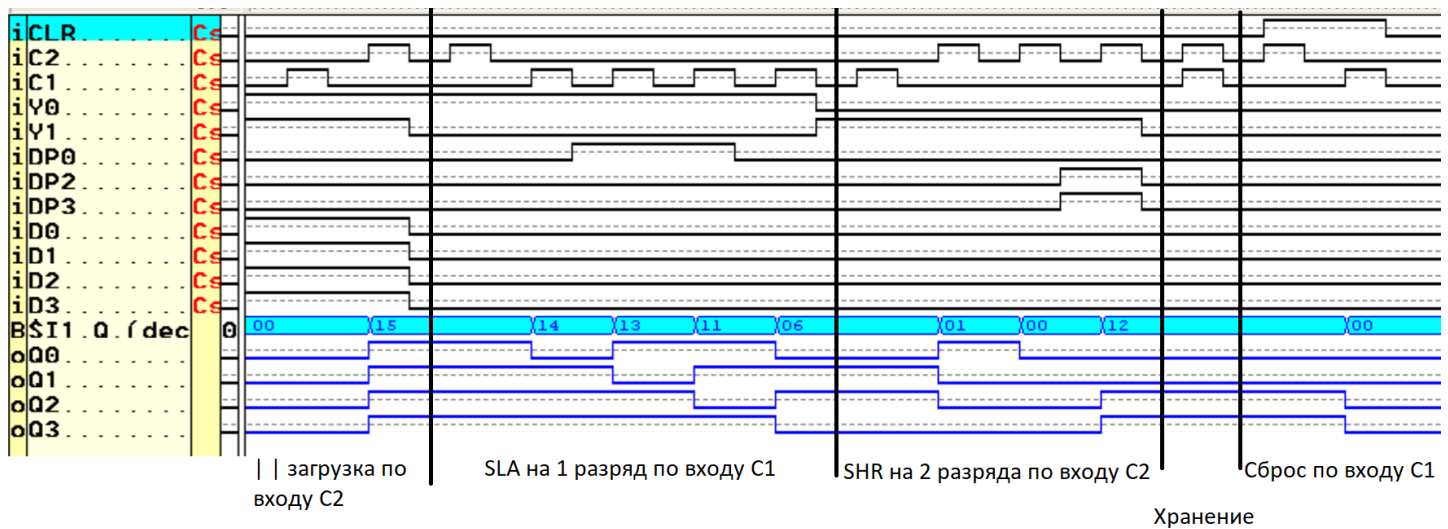
## Функция возбуждения синхросигнала C

| Y1 | Y0 | C1 | C2 | C | Номер набора |
|----|----|----|----|---|--------------|
| 0  | 0  | X  | X  | X | 0,1,2,3      |
| 0  | 1  | 1  | X  | 1 | 6,7          |
| 1  | 0  | X  | 1  | 1 | 9,11         |
| 1  | 1  | X  | 1  | 1 | 13,15        |

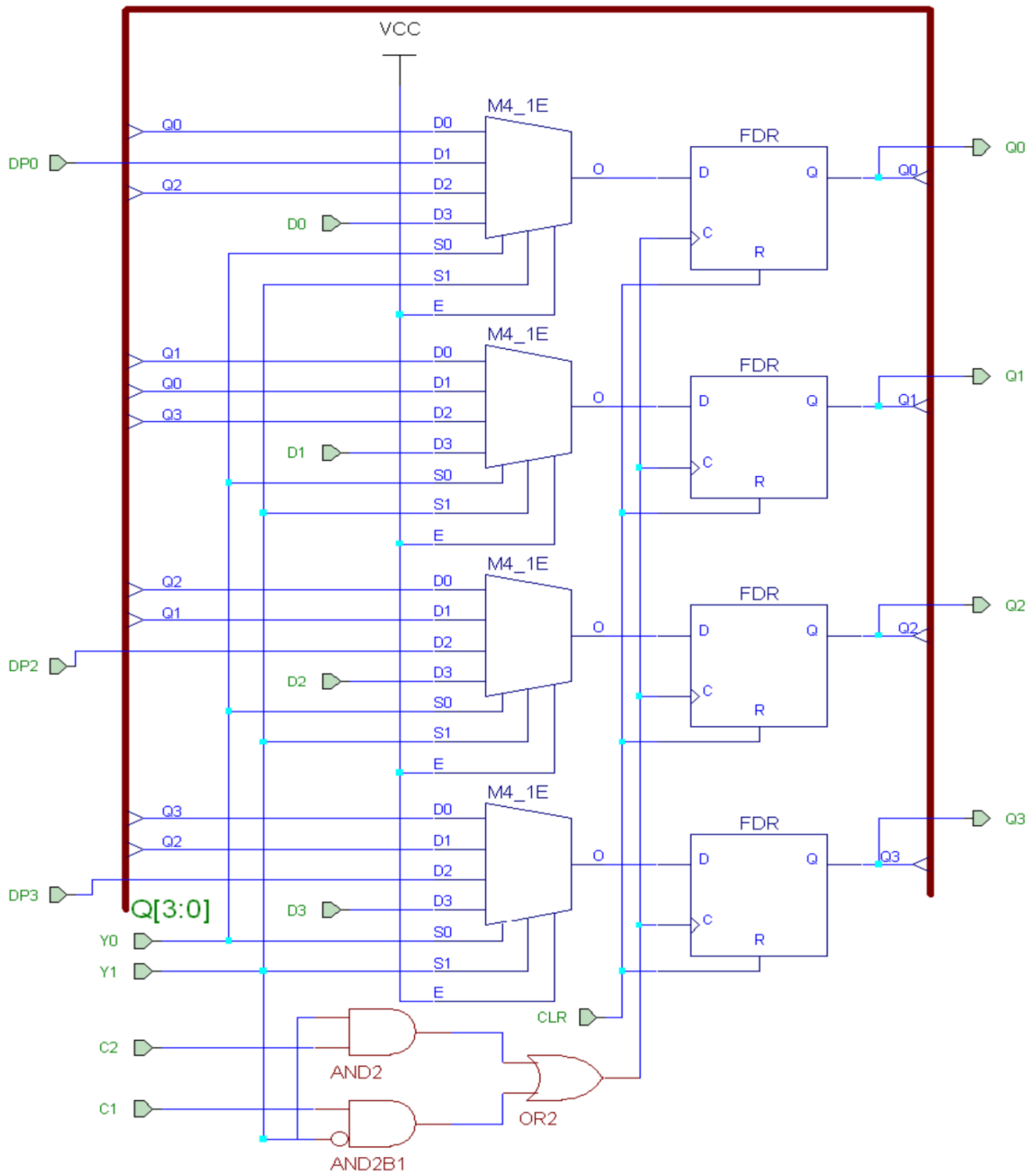


$$C = \Sigma(6,7,9,11,13,15) + X(0,1,2,3) = Y_1 C_2 + NY_1 C_1$$

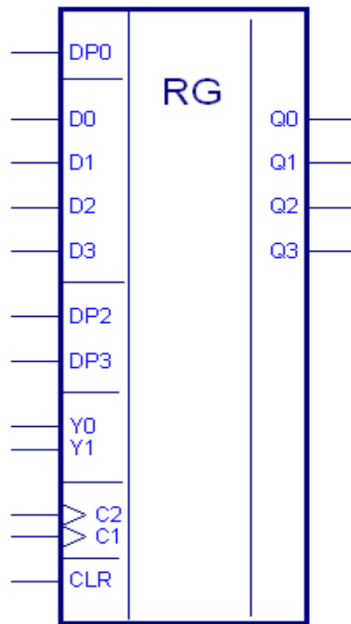
## Функциональное моделирование



# Логическая схема функционального регистра



## УГО



## Многофункциональный триггер на VHDL

```

entity RG_UHDL is
  port (
    CLR, C1, C2, D0, D1, D2, D3, DP0, DP2, DP3: in BIT;
    Y: in BIT_VECTOR (1 downto 0);
    Q0, Q1, Q2, Q3: buffer BIT
  );
end RG_UHDL;

architecture RG_UHDL_arch of RG_UHDL is
begin
  process (C1, C2, CLR)
  begin

    if C1'event and C1='1' then
      if CLR='1' then Q0 <= '0'; Q1 <= '0'; Q2 <= '0'; Q3 <= '0'; end if;
    end if;

    if C2'event and C2='1' then
      if Y="10" then Q0 <= Q2; Q1 <= Q3; Q2 <= DP2; Q3 <= DP3; end if;
      if Y="11" then Q0 <= D0; Q1 <= D1; Q2 <= D2; Q3 <= D3; end if;
    end if;

    if C1'event and C1='1' or C2'event and C2='1' then
      if Y="00" then Q0 <= Q0; Q1 <= Q1; Q2 <= Q2; Q3 <= Q3; end if;
    end if;

  end process;
end RG_UHDL_arch;

```