

Национальный Исследовательский Ядерный Университет «МИФИ»

Лабораторная работа №4
“Синхронные счетчики”
по дисциплине “Электротехника, электроника, схемотехника”

Работу выполнил
Студент группы Б23-503
Литвинов Владислав

Логин: B23_503_09
Пароль: AJ4zI40o

Москва — 2025, осень

Двоично-десятичный код 5321

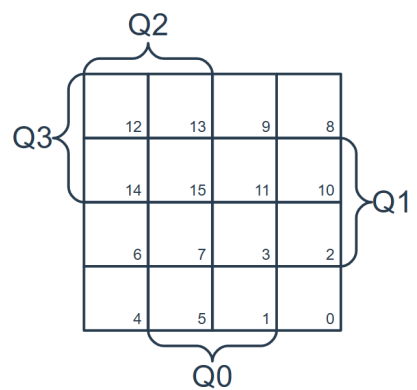
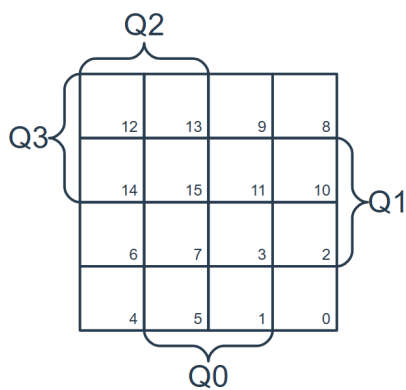
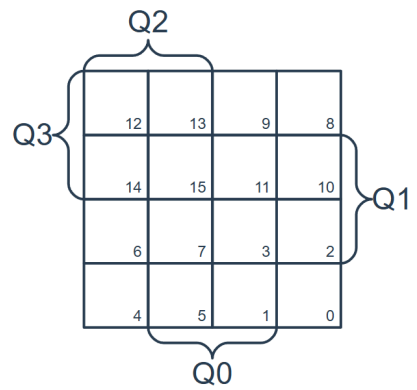
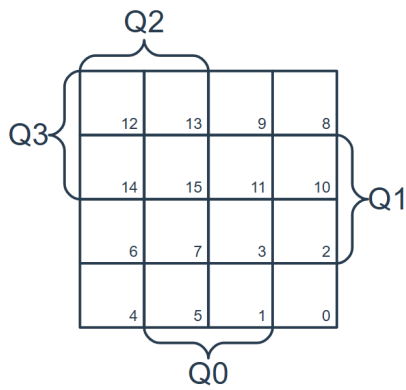
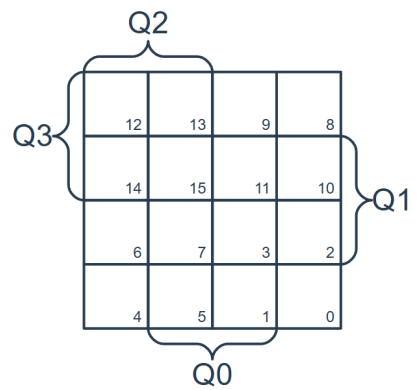
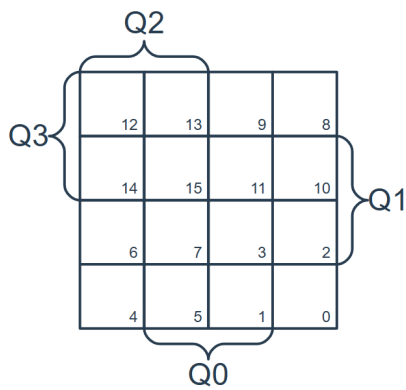
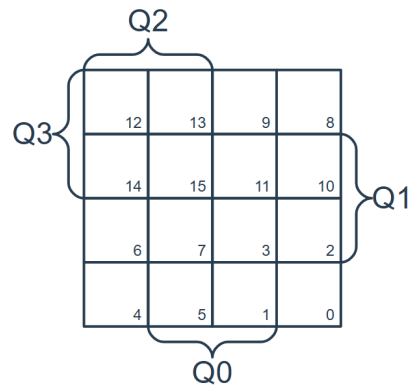
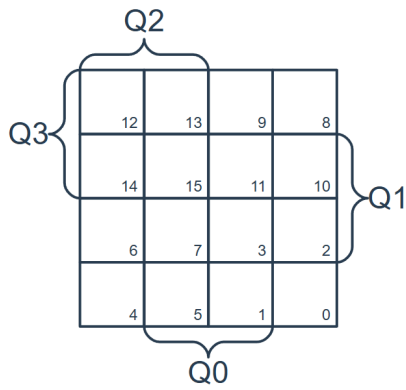
Десятичные цифры	5	3	2	1	Номера наборов
0	0	0	0	0	0
1	0	0	0	1	1
2	0	0	1	0	2
3	0	0	1	1	3
4	0	1	0	1	5
5	0	1	1	0	6
6	1	0	0	1	9
7	1	0	1	0	10
8	1	1	0	0	12
9	1	1	0	1	13

		D	V
0	–	0	$a_1 \bar{a}_1 b_1$
0	–	1	1
1	–	0	0
1	–	1	$a_2 a_2 b_2$

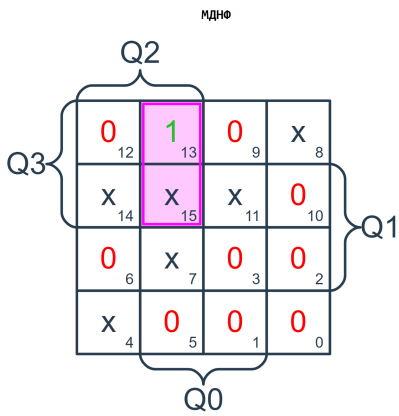
Таблица переходов и функций возбуждения счетчика на DV триггере

Цифра	Набор	Время t				Время t+1				Время t							
		Q3	Q2	Q1	Q0	Q3	Q2	Q1	Q0	D3	V3	D2	V2	D1	V1	D0	V0
0	0	0	0	0	0	0	0	0	1	a0	a0b0	a0	a0b0	a0	a0b0	1	1
1	1	0	0	0	1	0	0	1	0	a1	a1b1	a1	a1b1	1	1	0	1
2	2	0	0	1	0	0	0	1	1	a2	a2b2	a2	a2b2	a2	a2b2	1	1
3	3	0	0	1	1	0	1	0	1	a3	a3b3	1	1	0	1	a3	a3b3
4	5	0	1	0	1	0	1	1	0	a4	a4b4	a4	a4b4	1	1	0	1
5	6	0	1	1	0	1	0	0	1	1	1	0	1	0	1	1	1
6	9	1	0	0	1	1	0	1	0	a6	a6b6	a6	a6b6	1	1	0	1
7	10	1	0	1	0	1	1	0	0	a7	a7b7	1	1	0	1	a7	a7b7
8	12	1	1	0	0	1	1	0	1	a8	a8b8	a8	a8b8	a8	a8b8	1	1
9	13	1	1	0	1	0	0	0	0	0	1	0	1	a9	a9b9	0	1

Минимизация функций возбуждения счетчика на DV триггере

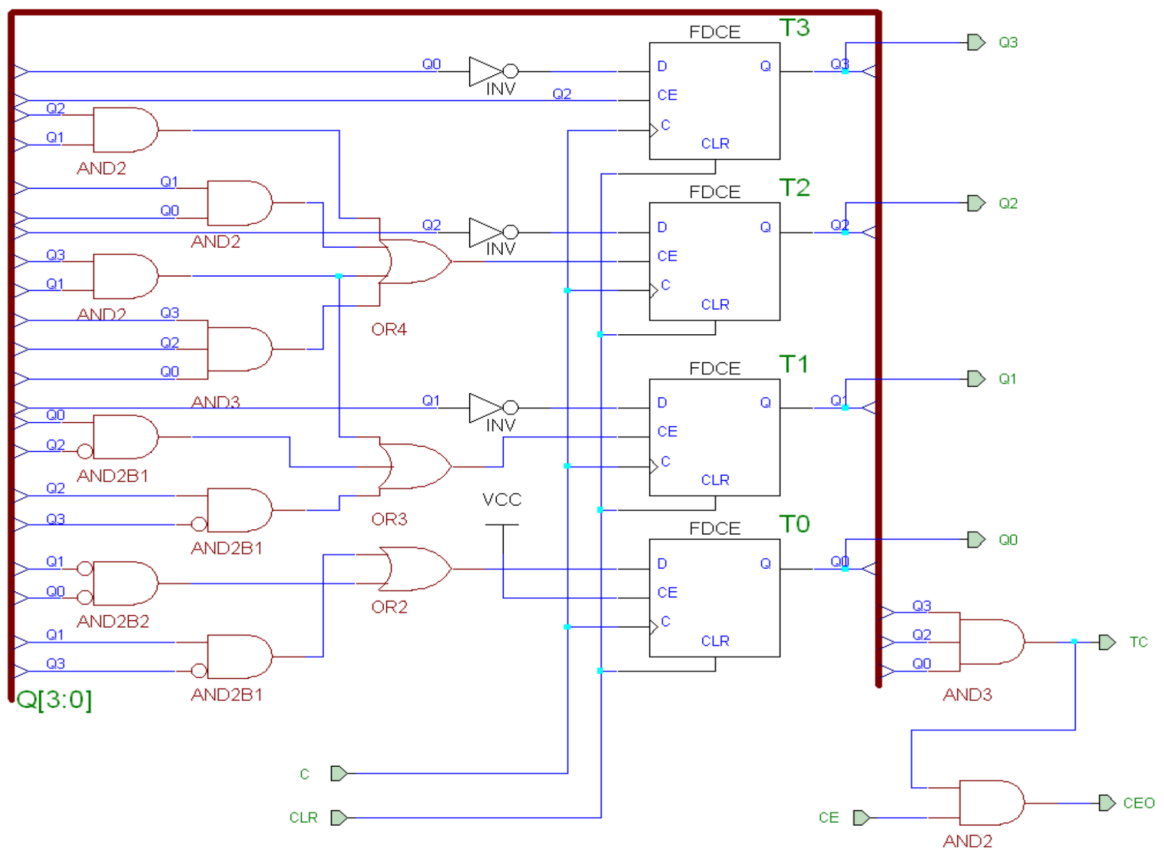


Сигнал ТС переноса между разрядами

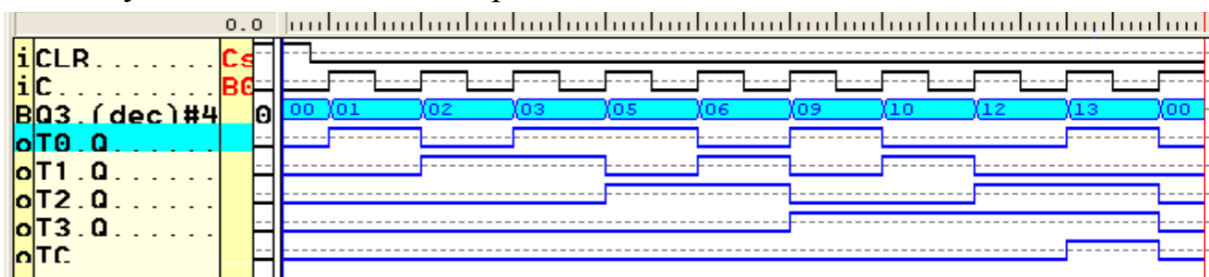


$$TC = Q_3 Q_2 Q_0$$

Схема двоично-десятичного счетчика



Функциональное моделирование двоично-десятичного счетчика

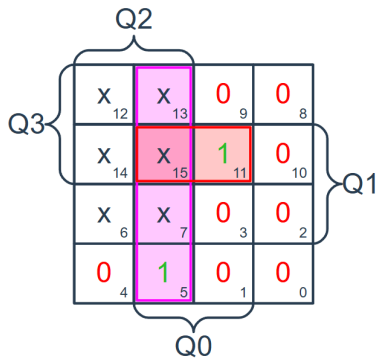


Проектирование делителя частоты $N = 10$, скважности $S = 2.5$ на T триггере

Номер набора	Время t				Время t+1				Время t			
	Q3	Q2	Q1	Q0	Q3	Q2	Q1	Q0	T3	T2	T1	T0
0	0	0	0	0	0	0	0	1	0	0	0	1
1	0	0	0	1	0	0	1	0	0	0	1	1
2	0	0	1	0	0	0	1	1	0	0	0	1
3	0	0	1	1	0	1	0	0	0	1	1	1
4	0	1	0	0	0	1	0	1	0	0	0	1
5	0	1	0	1	1	0	0	0	1	1	0	1
8	1	0	0	0	1	0	0	1	0	0	0	1
9	1	0	0	1	1	0	1	0	0	0	1	1
10	1	0	1	0	1	0	1	1	0	0	0	1
11	1	0	1	1	0	0	0	0	1	0	1	1

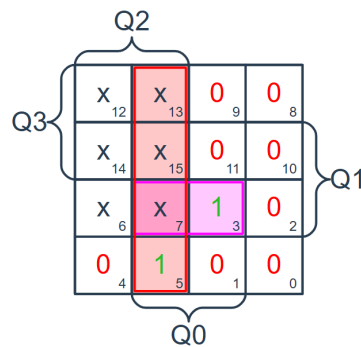
$$T3 = Q2 Q0 + Q3 Q1 Q0$$

мднф



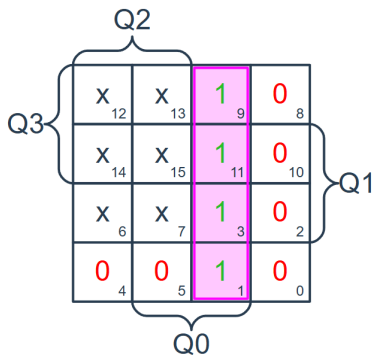
$$T2 = \overline{N}Q3 Q1 Q0 + Q2 Q0$$

мднф



$$T1 = \overline{N}Q2 Q0$$

мднф



$$T0 = 1$$

мднф

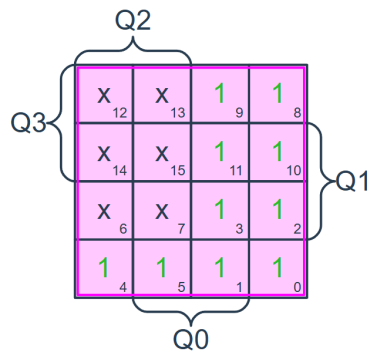
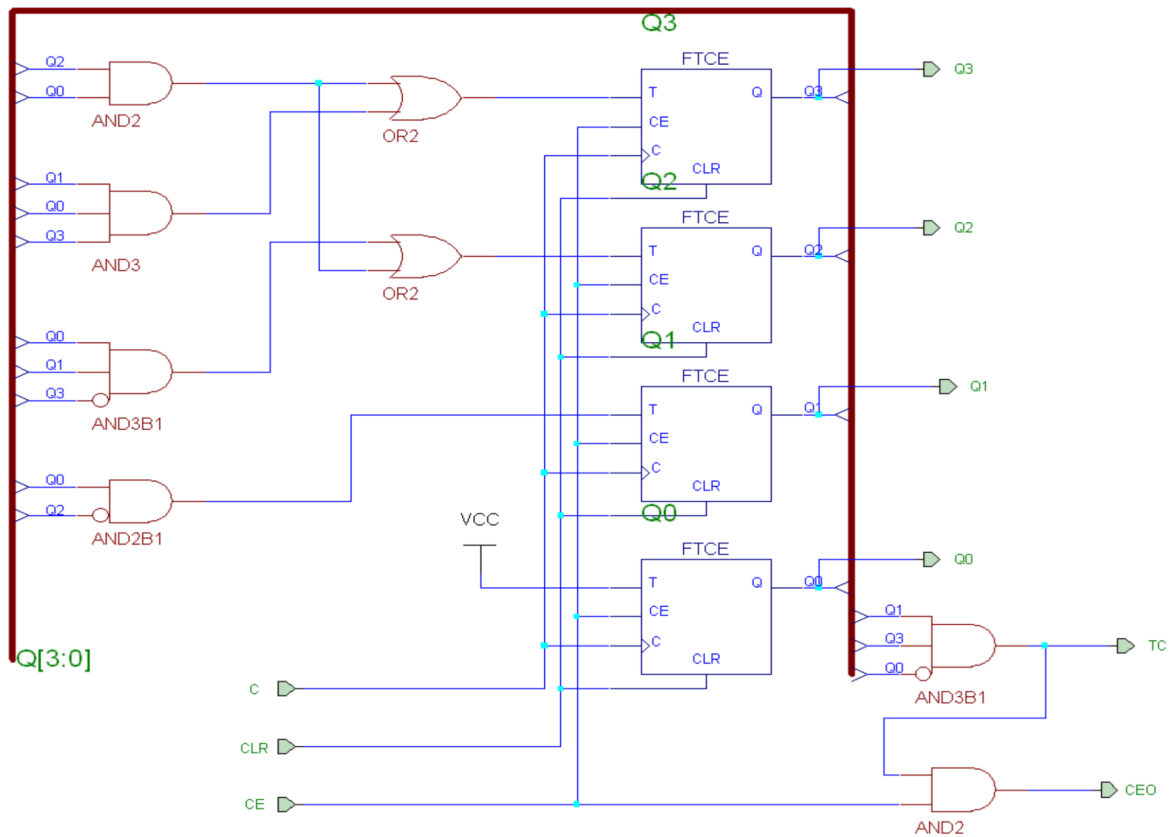
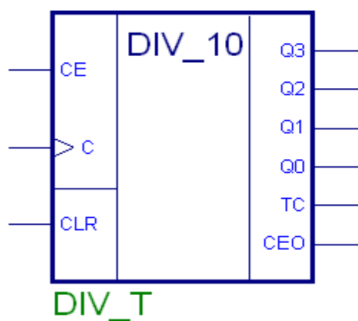
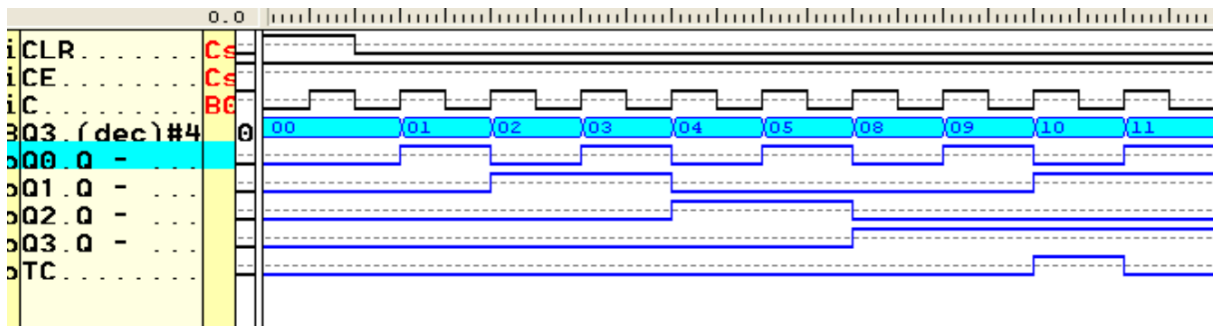


Схема делителя частоты на Т триггере



Функциональное моделирование делителя частоты на Т триггере

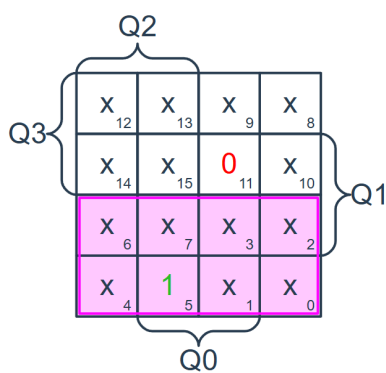


Проектирование делителя частоты на $N = 10$, скважностью $S = 2.5$
на счетчике СВ4СLE

Номер набора	Выходы счетчика				Функции возбуждения				
	Q3	Q2	Q1	Q0	D3	D2	D1	D0	L
0	0	0	0	0	X	X	X	X	0
1	0	0	0	1	X	X	X	X	0
2	0	0	1	0	X	X	X	X	0
3	0	0	1	1	X	X	X	X	0
4	0	1	0	0	X	X	X	X	0
5	0	1	0	1	1	0	0	0	1
8	1	0	0	0	X	X	X	X	0
9	1	0	0	1	X	X	X	X	0
10	1	0	1	0	X	X	X	X	0
11	1	0	1	1	0	0	0	0	1

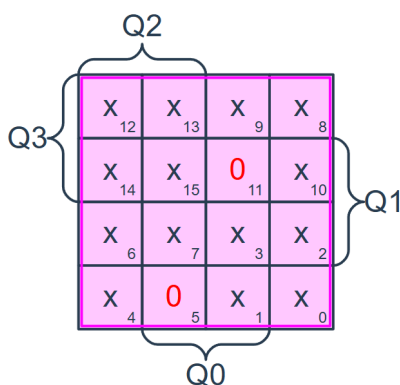
$$D3 = NQ3$$

мднф



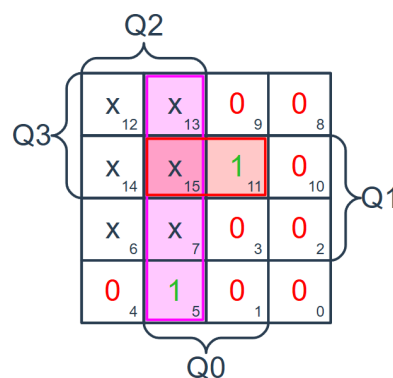
$$D2 = D1 = D0 = 0$$

мкнф



$$L = Q2 Q0 + Q3 Q1 Q0$$

мднф



$$TC = Q3 Q1 Q0$$

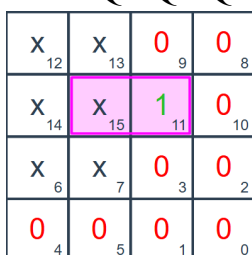
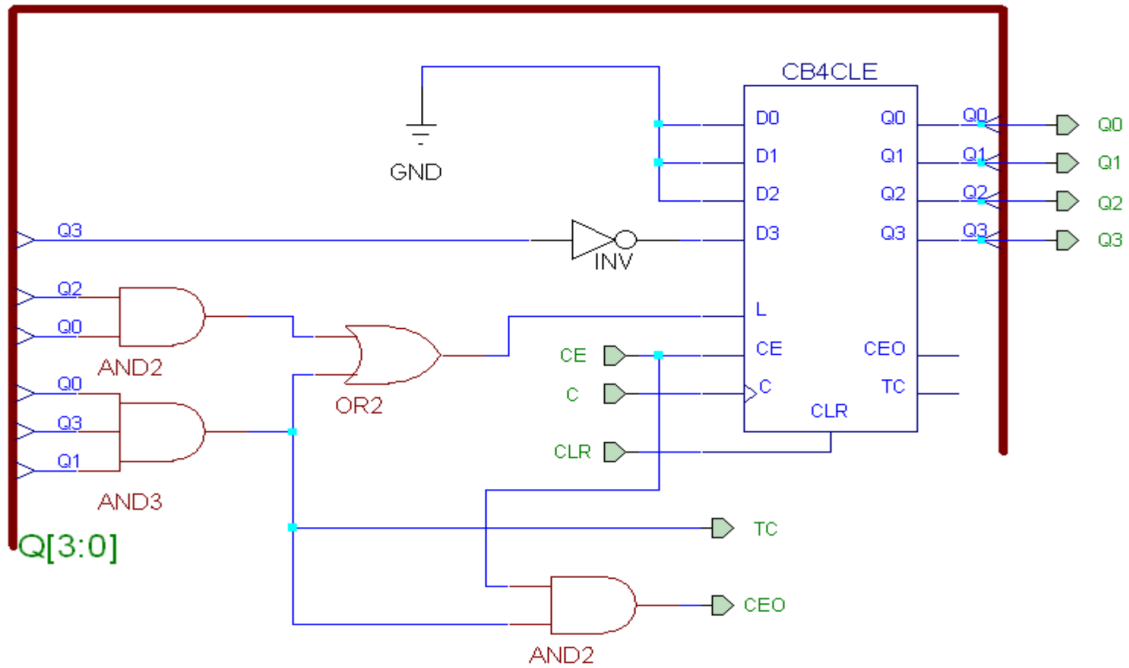
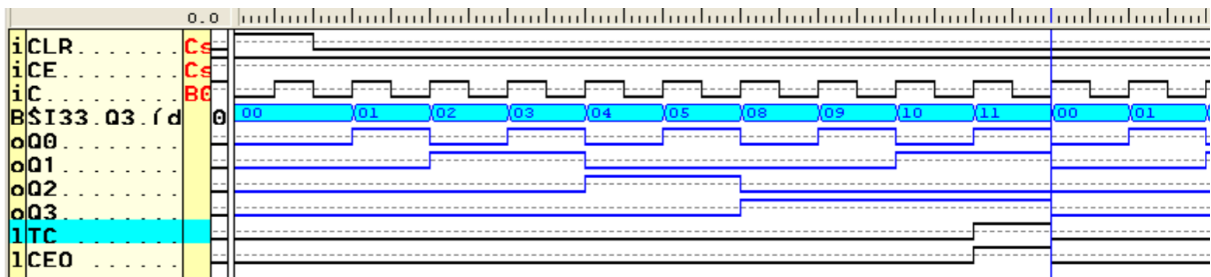


Схема делителя частоты на счетчике CB4CLE



Функциональное моделирование делителя частоты на CB4CLE счетчике



Делитель частоты на VHDL

```

entity DIV_UHDL is
    port (
        CLR, C, CE: in BIT;
        Q: buffer INTEGER range 0 to 15;
        TC: buffer BIT;
        CEO: out BIT
    );
end DIV_UHDL;

architecture DIV_UHDL_arch of DIV_UHDL is
begin
    process (CLR,C)
    begin
        if CLR='1' then Q <= 0;
        elsif CE='0' then null;
        elsif C'event and C='1' then
            case Q is
                when 5 => Q <= 8;
                when 11 => Q <= 0;
                when others => Q <= Q + 1;
            end case;
        end if;
    end process;
    with Q select
        TC <= '1' when 11 | 15,
              '0' when others;
    CEO <= CE and TC;
end DIV_UHDL_arch;

```

Схема подключения с выбором режима (параллельный, последовательный)

