

Национальный Исследовательский Ядерный Университет «МИФИ»

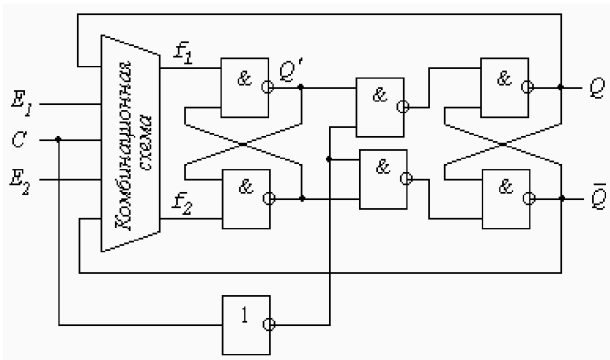
Лабораторная работа №3
“Проектирование синхронных триггерных схем”
по дисциплине “Электротехника, электроника, схемотехника”

Работу выполнил
Студент группы Б23-503
Литвинов Владислав

Логин: B23_503_09
Пароль: AJ4zI40o

Москва — 2025, осень

Проектирование синхронного двухступенчатого триггера с асинхронными входами предварительной установки



E1	E2	Q(t+1)
0	0	0
0	1	1
1	0	0
1	1	Q(t)

C	E1	E2	Q	F1	F2	№
0	0	0	0	1	X	0
0	0	0	1	X	1	1
0	0	1	0	1	X	2
0	0	1	1	X	1	3
0	1	0	0	1	X	4
0	1	0	1	X	1	5
0	1	1	0	1	X	6
0	1	1	1	X	1	7
1	0	0	0	1	X	8
1	0	0	1	1	0	9
1	0	1	0	0	1	10
1	0	1	1	X	1	11
1	1	0	0	1	X	12
1	1	0	1	1	0	13
1	1	1	0	1	X	14
1	1	1	1	X	1	15

$$\begin{aligned}
 F1 &= \Pi(10) + X(1, 3, 5, 7, 11, 15) \\
 &= NC \vee E1 \vee NE2 = \text{Not}(C \wedge NE1 \wedge E2) \\
 &= C | NE1 | E2
 \end{aligned}$$

$$\begin{aligned}
 F2 &= \Pi(9, 13) + X(0, 2, 4, 6, 8, 12, 14) \\
 &= NC \vee E2 = \text{Not}(C \wedge NE2) \\
 &= C | NE2
 \end{aligned}$$

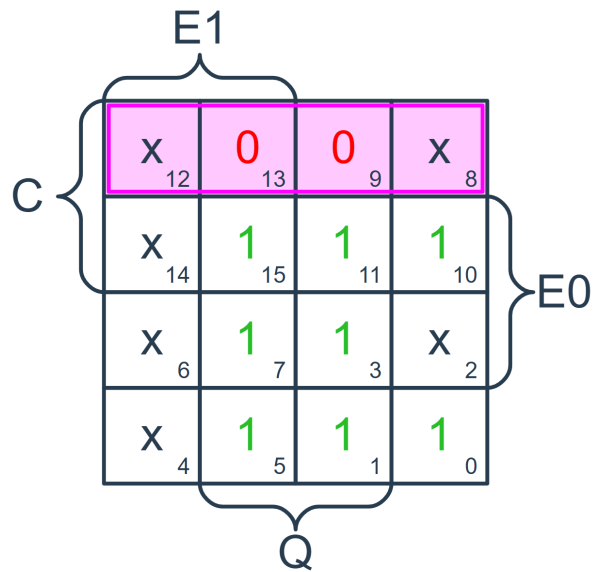
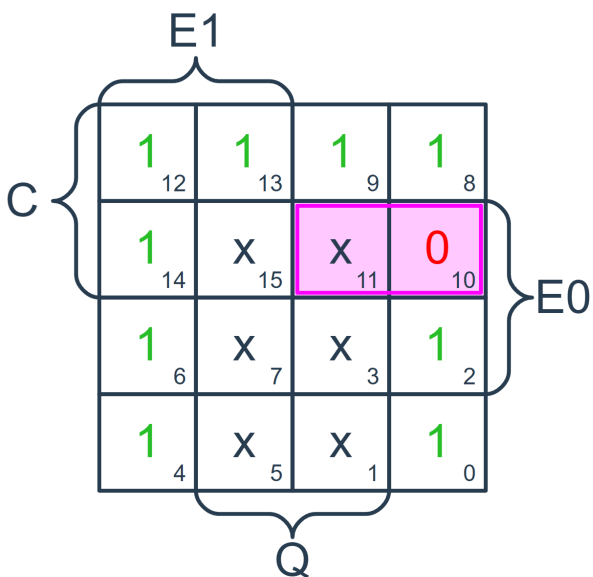
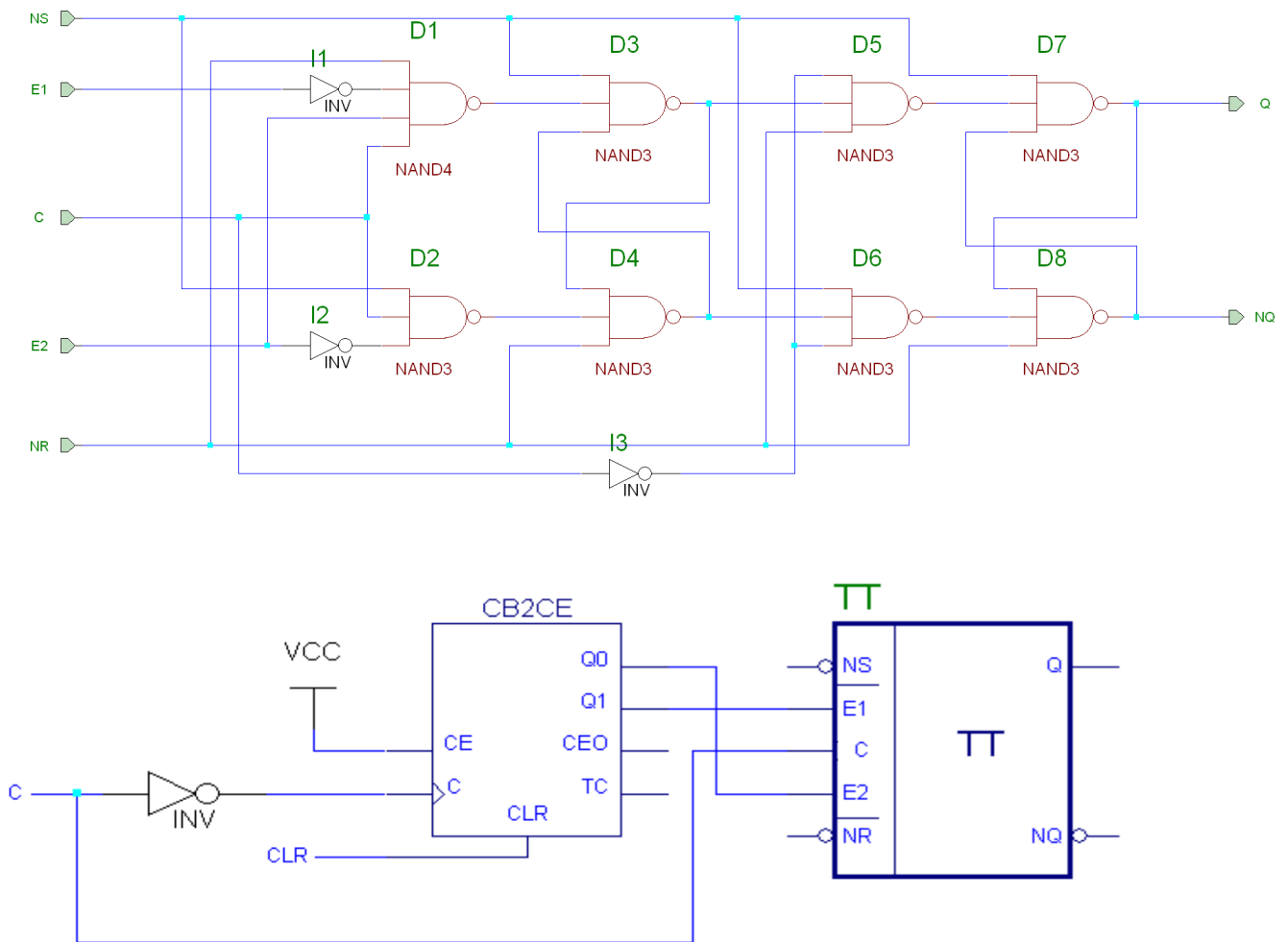
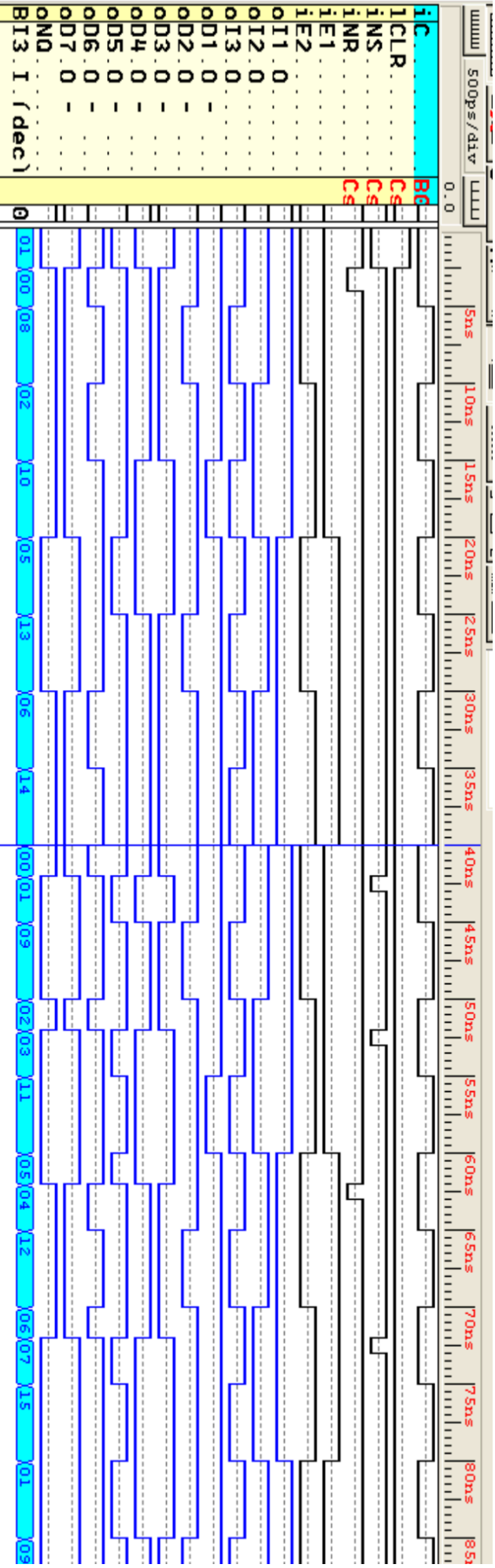


Схема синхронного двухступенчатого триггера с асинхронными входами предварительной установки





Проектирование триггера на основе
JK триггера и D триггера с входом разрешения CE

Матрица переходов JK - триггера

Q(t) - Q(t+1)	J	K
0 - 0	0	X
0 - 1	1	X
1 - 0	X	1
1 - 1	X	0

Матрица переходов DV - триггера

Q(t) - Q(t+1)	D	V
0 - 0	a1	na1 * b1
0 - 1	1	1
1 - 0	0	1
1 - 1	a2	a2 * b2

Таблица истинности для функций возбуждения

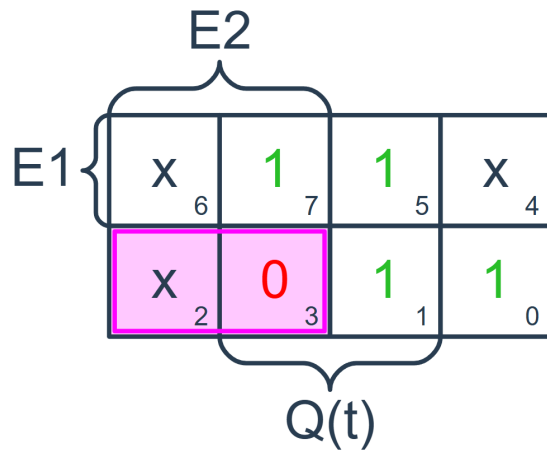
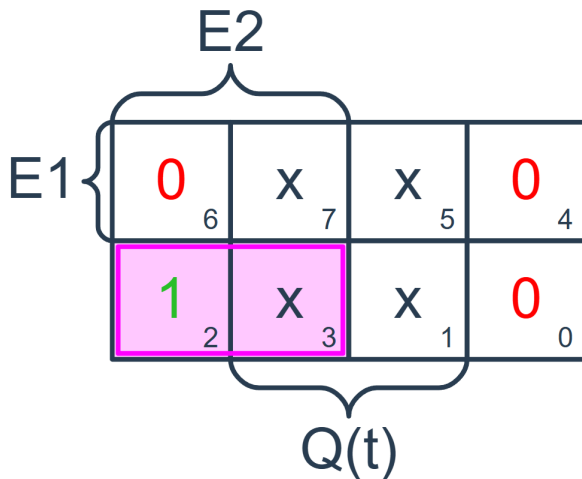
E1	E2	Q(t)	Q(t+1)	Переход	J	K	D	V	№
0	0	0	0	0-0	0	X	a1	na1 * b1	0
0	0	1	0	1-0	X	1	0	1	1
0	1	0	0	0-1	1	X	1	1	2
0	1	1	1	1-1	X	0	a2	a2 * b2	3
1	0	0	0	0-0	0	X	a3	na3 * b3	4
1	0	1	0	1-0	X	1	0	1	5
1	1	0	0	0-0	0	X	a4	na4 * b4	6
1	1	1	Q(t)	1-0	X	1	0	1	7

$$J = \overline{NE1} \wedge E2 = \text{Not}(E1 \vee \overline{NE2})$$

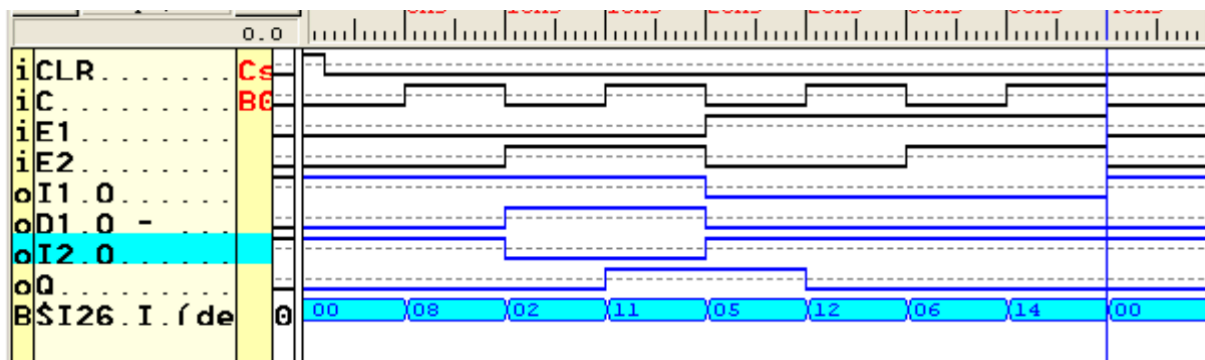
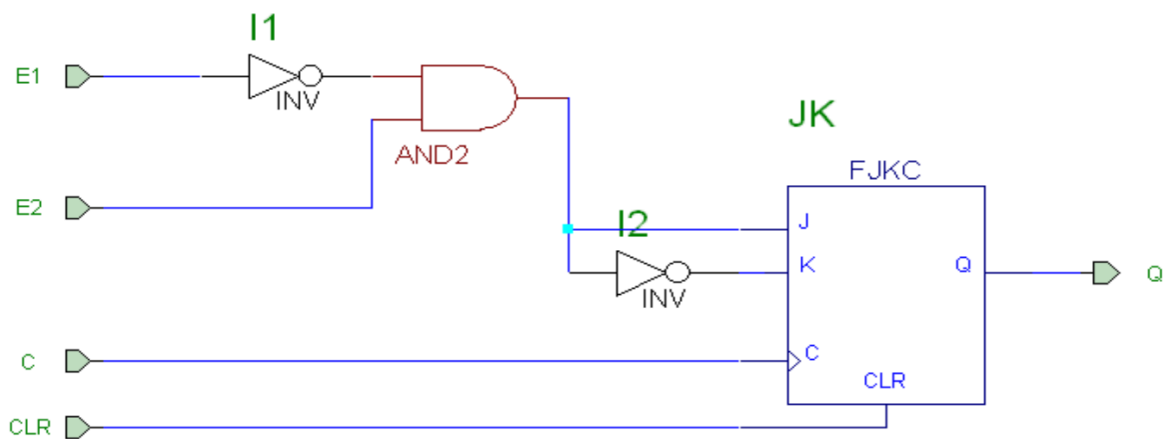
$$= E1 | \overline{NE2}$$

$$K = (E1 \vee \overline{NE2}) = \text{Not}(\overline{NE1} \wedge E2)$$

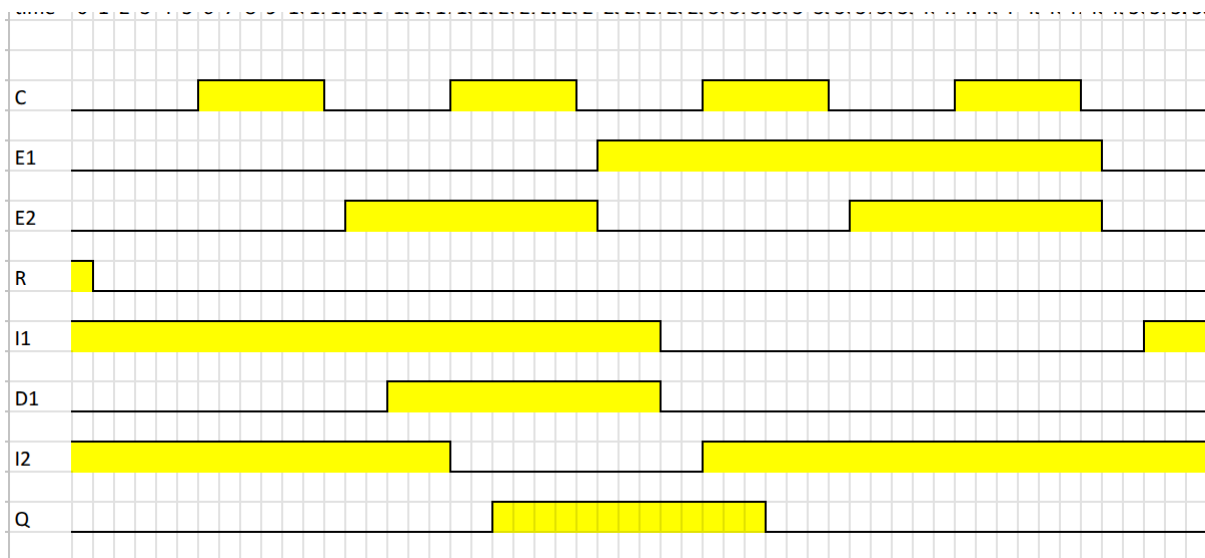
$$= \text{Not}(J)$$

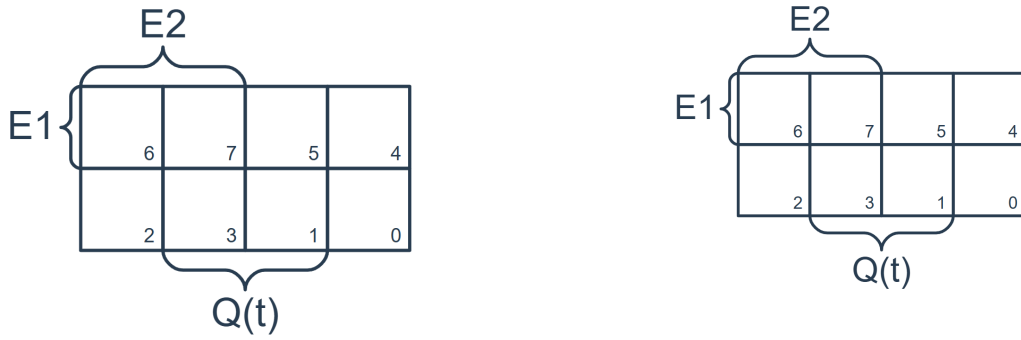


Функциональное моделирование на JK - триггере

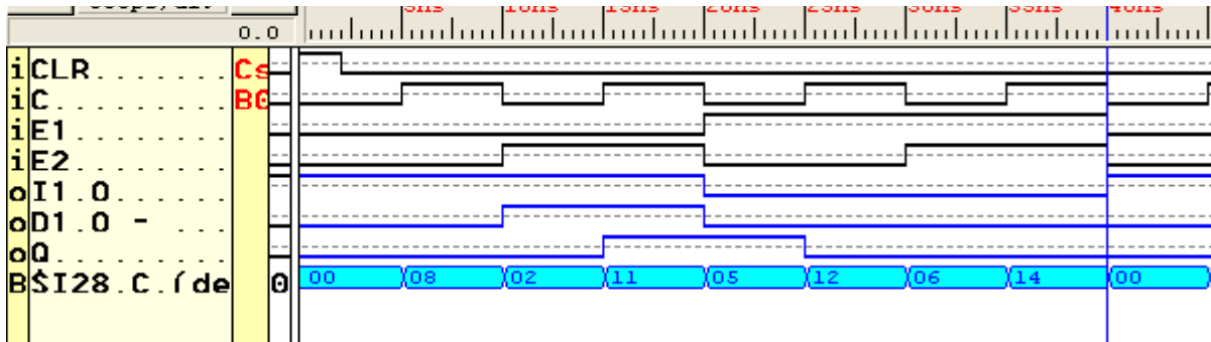
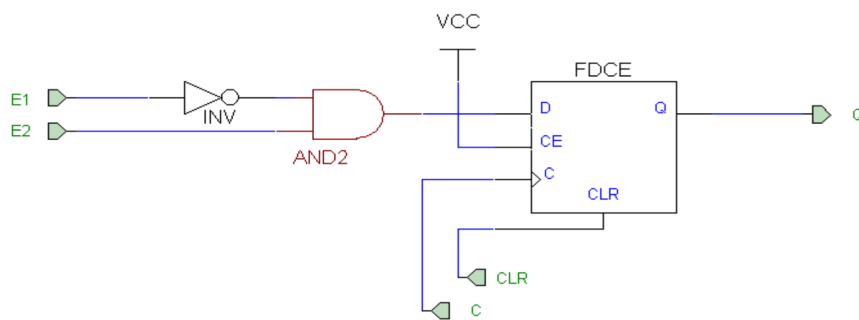


Временное моделирование на JK - триггере

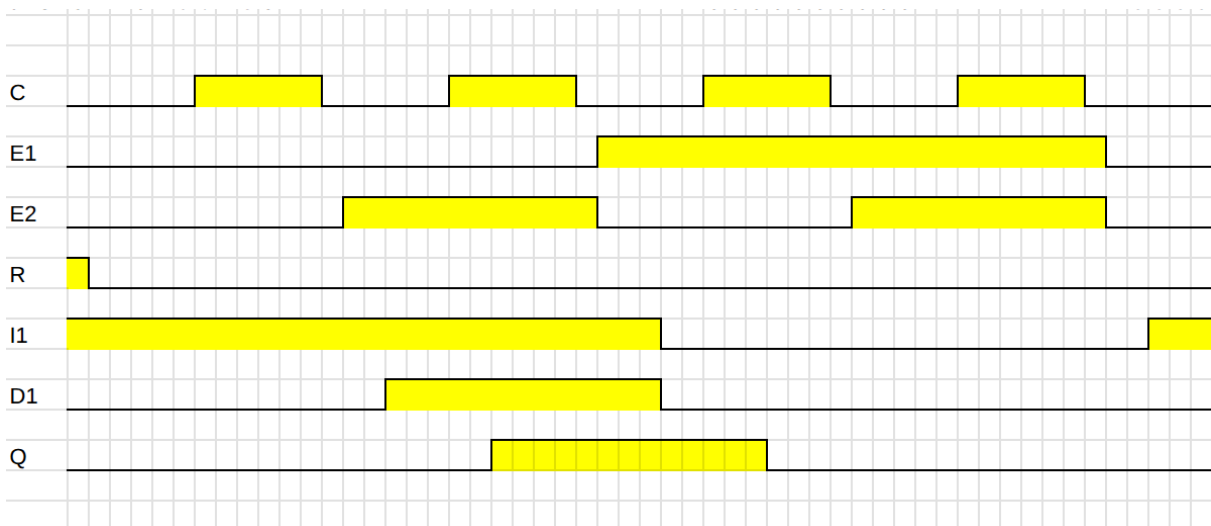




Функциональное моделирование на DV - триггере



Временное моделирование на DV - триггере



Проектирование триггера на VHDL

```
1 entity TUHDL is
2   port (
3     C, CLR: in BIT;
4     E : in BIT_VECTOR (1 to 2);
5     Q : buffer BIT
6   );
7 end TUHDL;
8
9 architecture TUHDL_arch of TUHDL is
10 begin
11   process (CLR, C) begin
12     A:= E1 & E2;
13     if CLR = '1' then
14       Q <= '0';
15     elsif C'event and C = '1' then
16       case E is
17         when "00" => Q <= '0';
18         when "01" => Q <= '1';
19         when "10" => Q <= '0';
20         when "11" => Q <= Q;
21       end case;
22     end if;
23   end process;
24 end TUHDL_arch;
```

Synthesizing...

Error L5/C0: #0 Error: C:/Xilinx/active/projects/itvin03/TUHDL.vhd line 5 Syntax error. (VSS-1081)

Error L9/C0: #0 Error: C:/Xilinx/active/projects/itvin03/TUHDL.vhd line 9 The intermediate file for entity TVHDL is not in the library bound to WORK. (VSS-1084)

2 error(s) 0 warning(s) found

Use Synthesis/View Report for detailed synthesis report

УГО

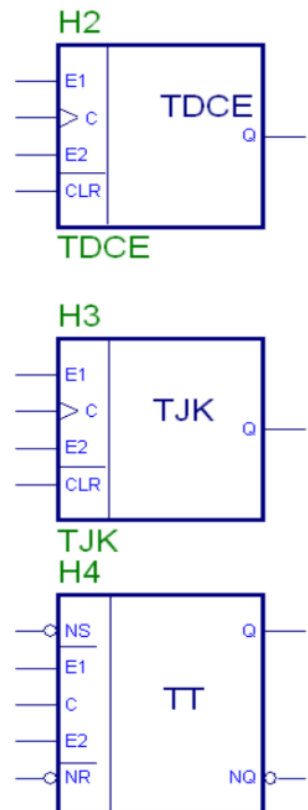


Схема исследования с использованием макроэлементов стенда

